



Atty. Dkt. No. 016887-1104

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Noboru NODA

Title: SEMICONDUCTOR DEVICE AND METHOD OF  
MANUFACTURING THE SAME

Appl. No.: 10/813,446

Filing Date: 03/31/2004

Examiner: Unassigned

Art Unit: 2811

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith is a certified copy of said original foreign application:

- JAPAN Patent Application No. 2003-097720 filed 04/01/2003.

Respectfully submitted,

Date September 3, 2004

By

FOLEY & LARDNER LLP  
Customer Number: 22428  
Telephone: (202) 945-6162  
Facsimile: (202) 672-5399

Pavan K. Agarwal  
Attorney for Applicant  
Registration No. 40,888

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日      2 0 0 3 年   4 月   1 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 0 9 7 7 2 0  
Application Number:

ST. 10/C) :      [ J P 2 0 0 3 - 0 9 7 7 2 0 ]

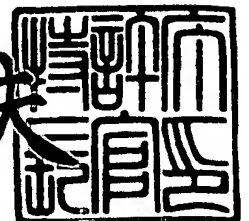
願      人      株式会社東芝  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   5 月 1 0 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号      出 証 特 2 0 0 4 - 3 0 3 8 6 7 0

【書類名】 特許願

【整理番号】 ADB0260591

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/72

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 野田 昇

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された第 1 導電型のコレクタ層と、  
前記コレクタ層の表面領域に形成された第 2 導電型のグラフトベース層と、  
前記グラフトベース層上に形成された第 2 導電型の第 1 のベース引き出し領域と、  
、  
前記第 1 のベース引き出し領域の上面及び側面に形成された第 2 導電型の第 2 の  
ベース引き出し領域と、  
前記コレクタ層上に形成された第 2 導電型のベース層と、  
前記ベース層の表面領域に形成された第 1 導電型のエミッタ層と、  
前記エミッタ層上に形成されたエミッタ引き出し領域とを具備した半導体装置。

【請求項 2】

前記第 1 及び第 2 のベース引き出し領域は、同じ材料からなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記ベース層は、前記第 2 のベース引き出し領域上にも形成されており、前記第 2 のベース引き出し領域の不純物濃度プロファイルの少なくとも一部は、前記第 1 のベース引き出し領域の不純物濃度よりも小さいことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記ベース層は、エピタキシャル成長層であることを特徴とする請求項 1 乃至 3 のいずれか一項に記載の半導体装置。

【請求項 5】

半導体基板上に、第 1 導電型のコレクタ層を形成する工程と、  
前記コレクタ層上に、第 2 導電型の不純物を添加した第 1 のベース引き出し領域を形成し、この第 1 のベース引き出し領域の上面及び側面にノンドープ領域を形成する工程と、

このノンドープ領域上及び前記コレクタ層上に第2導電型のベース層を形成し、  
前記第1のベース引き出し領域内の前記第2導電型の不純物を、前記ノンドープ領域と前記第1のベース引き出し領域直下の前記コレクタ層に熱拡散する工程と、  
前記ベース層の表面領域に第1導電型のエミッタ層を形成する工程と、  
前記エミッタ層上にエミッタ引き出し領域を形成する工程と、  
を具備した半導体装置の製造方法。

**【請求項6】**

半導体基板上に、第1導電型のコレクタ層を形成する工程と、  
前記コレクタ層に素子分離領域を形成する工程と、  
前記コレクタ層上の一部に絶縁膜パターンを形成する工程と、  
前記絶縁膜パターンの形成されていない前記コレクタ層上に、第2導電型の不純物を添加した第1のベース引き出し領域を形成し、この第1のベース引き出し領域上に第1のノンドープ領域を形成する工程と、  
前記絶縁膜パターンをウェットエッチングによって除去する工程と、  
前記第1のベース引き出し領域の側面及び第1のノンドープ領域の側面に第2のノンドープ領域を形成する工程と、  
前記第1及び第2のノンドープ領域上及び前記コレクタ層上に第2導電型のベース層を形成し、前記第1のベース引き出し領域内の前記第2導電型の不純物を、前記第1及び第2のノンドープ領域と前記第1のベース引き出し領域直下の前記コレクタ層に熱拡散する工程と、  
前記ベース層の表面領域に第1導電型のエミッタ層を形成する工程と、  
前記エミッタ層上にエミッタ引き出し領域を形成する工程と、  
を具備した半導体装置の製造方法。

**【請求項7】**

前記第1及び第2のベース引き出し領域は、同じ材料からなることを特徴とする請求項5または6に記載の半導体装置の製造方法。

**【請求項8】**

前記第2のベース引き出し領域の不純物濃度プロファイルの少なくとも一部は

、前記第 1 のベース引き出し領域の不純物濃度よりも小さいことを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 9】

前記ベース層は、エピタキシャル成長法によって、形成されていることを特徴とする請求項 5 または 6 に記載の半導体装置の製造方法。

【請求項 1 0】

前記エピタキシャル成長法は、非選択的エピタキシャル成長法であることを特徴とする請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に係り、特にバイポーラトランジスタを備えた半導体装置に関する。

【0 0 0 2】

【従来の技術】

近年、高周波で使用される半導体装置では、電流利得帯域幅積  $f_T$ 、最大発振周波数  $f_{max}$  などの周波数特性の向上や雑音指数  $NF$  などのノイズ特性の向上が強く求められている。また、高電源の実使用に即したコレクターエミッタ間の高耐圧化 ( $V_{CE0}$ ) が要求されている。

【0 0 0 3】

図 9 に、従来の技術の NPN バイポーラトランジスタを示す。N 型シリコン基板 9 0 1 上に、シリコン層からなる N 型コレクタ層 9 0 2 が形成されている。また、LOCOS (Local Oxidation of Silicon) プロセスによって、素子形成部以外の領域には、酸化膜からなる素子分離領域 9 0 3 が形成されており、N 型コレクタ層 9 0 2 上の一部には、薄い酸化膜 9 0 4 が形成されている。また、N 型コレクタ層 9 0 2 上の酸化膜 9 0 4 上及び素子分離領域 9 0 3 上に、ポリシリコンからなるベース引き出し領域 9 0 5 が形成されている。ベース引き出し領域 9 0 5 及び N 型コレクタ層 9 0 2 上には、SiGe 層からなる P 型ベース層 9 0 6 が形成されている。Ge を添加せず、シリコン層か

らなる P 型ベース層を形成することも可能である。

#### 【0004】

N 型コレクタ層 9 0 2 上の P 型ベース層 9 0 6 の表面領域には、選択的に N 型エミッタ層 9 0 7 が形成されている。P 型ベース層 9 0 6 上には、コンタクトホール用の開口部が設けられた層間絶縁膜 9 0 8, 9 0 9 が形成され、N 型エミッタ層 9 0 7 上には、ポリシリコンからなるエミッタ引き出し領域 9 1 0 が形成されている。エミッタ引き出し領域 9 1 0 と P 型ベース層 9 0 6 は、層間絶縁膜 9 0 8 によって、電氣的に絶縁されている。

#### 【0005】

また、エミッタ引き出し領域 9 1 0 及びベース引き出し領域 9 0 5 上には、コンタクトホール用の開口部に導電性材料を形成することによって、エミッタ電極 9 1 1 及びベース電極 9 1 2 が形成されている。

#### 【0006】

次に、図 1 0 乃至図 1 2 に、従来の技術の N P N バイポーラトランジスタの製造方法を示す。図 1 0 (a) に示すように、N 型シリコン基板 9 0 1 上に、N 型不純物を添加しながら、シリコンをエピタキシャル成長させることによって、シリコン層からなる N 型コレクタ層 9 0 2 を形成する。続いて、LOCOS (Local Oxidation of Silicon) プロセスによって、素子形成部以外の領域には、酸化膜からなる素子分離領域 9 0 3 を形成し、N 型コレクタ層 9 0 2 上には、薄い酸化膜 9 0 4 を形成する。

#### 【0007】

次に、図 1 0 (b) に示すように、素子分離領域 9 0 3 上及び酸化膜 9 0 4 上に、ポリシリコン層 9 1 3 を形成する。続いて、N 型コレクタ層 9 0 2 上の一部が露出するようにポリシリコン層 9 1 3 及び酸化膜 9 0 4 をエッチングする。酸化膜 9 0 4 のエッチングは、ウェットエッチングによって行う。次に、ポリシリコン層 9 1 3 に P 型不純物をイオン注入し、ベース引き出し領域 9 0 5 を形成する。

#### 【0008】

次に、図 1 0 (c) に示すように、ベース引き出し領域 9 0 5 上及び N 型コレ

クタ層 902 上に、P 型不純物を添加しながら、シリコンをエピタキシャル成長させることによって、シリコン層からなる P 型ベース層 906 を形成する。ここで、P 型不純物及び Ge を添加しながら、シリコンをエピタキシャル成長させることによって、SiGe 層からなる P 型ベース層を形成してもよい。

#### 【0009】

次に、図 11 (d) に示すように、P 型ベース層 906 上に層間絶縁膜 908 を形成し、N 型コレクタ層 902 上に形成された P 型ベース層 906 上の一部が露出するように、層間絶縁膜 908 をエッチングする。続いて、層間絶縁膜 908 上及び露出した P 型ベース層 906 上にポリシリコン層 914 を形成し、ポリシリコン層 914 に N 型不純物をイオン注入して、熱処理を行うことによって、エミッタ引き出し領域 910 を形成するとともに、P 型ベース層 906 の表面領域の一部に N 型エミッタ層 907 を形成する。

#### 【0010】

次に、図 11 (e) に示すように、ベース引き出し領域 905 上及びエミッタ引き出し領域 910 上に層間絶縁膜 909 を形成する。ベース引き出し領域 905 の一部と、エミッタ引き出し領域 910 の一部が露出するような開口部を形成し、開口部に導電性材料を形成することによって、ベース引き出し領域 905 及びエミッタ引き出し領域 910 に接続されたベース電極 912 及びエミッタ電極 911 を形成する。この種の NPN バイポーラトランジスタを備えた半導体装置の例として、特許文献 1 が知られている。

#### 【0011】

##### 【特許文献 1】

特開平 11-233523 号公報 (図 1)

#### 【0012】

##### 【発明が解決しようとする課題】

図 10 (c) において、P 型ベース層 906 をエピタキシャル成長によって形成する場合、通常、600℃程度の熱処理を伴う。このとき、ベース引き出し領域 905 にイオン注入された P 型不純物は、図 10 (c) の矢印に示すように周辺の P 型ベース層 906 へ飛び散り、P 型ベース層 906 と N 型コレクタ層 90



2の界面付近に、P型不純物の異常プロファイルを形成する。

#### 【0013】

図12に、図11(e)のB-B'断面における不純物濃度を示し、このP型不純物の異常プロファイルを、P型オートドープ層1301と呼ぶ。P型オートドープ層1301が生じることによって、ベース層幅が実質広がるため、キャリアのベース走行時間の増大を招き、周波数特性が劣化するという問題があった。このP型オートドープ層1301は、P型ベース層906をエピタキシャル成長によって形成する際の熱処理によって、主に形成されているが、他の工程の熱処理によっても形成され得るものである。また、P型ベース層906をエピタキシャル成長によって形成しない場合であっても、他の熱処理によって形成され得るものである。

#### 【0014】

また、比較的低濃度でないN型コレクタ層を有する半導体装置では、P型不純物がP型ベース層とN型コレクタ層の界面付近に拡散したとしても、N型コレクタ層が比較的低濃度でないため、実質、P型オートドープ層が形成されないことになる。ここで、比較的低濃度とは、例えば、 $3 \times 10^{16} \text{ cm}^{-3}$ 程度である。

#### 【0015】

したがって、P型ベース層とN型コレクタ層の界面付近に形成されるP型オートドープ層による周波数特性の劣化は、特に高耐圧が要求される比較的低濃度な不純物濃度のN型コレクタ層を有する半導体装置で顕著に発生し、問題となっている。従来、P型オートドープ層による周波数特性の劣化を抑止するため、N型コレクタ層の不純物濃度を比較的低濃度に形成できず、耐圧を向上することができないという問題があった。

#### 【0016】

また、ベース層をエピタキシャル成長する際、Geを添加して、SiGe層で形成した場合、ヘテロ接合によるエネルギー障壁を緩和し、キャリアの移動度を高めることによって周波数特性の向上をはかることができる。しかし、P型オートドープ層1301が形成されることによって、P型オートドープ層とN型コレクタ層との間にエネルギー障壁が生じるため、ベース層を、Geを用いて形成し

た場合には、ベース層幅が実質広がることによってベース走行時間の増大を招くとともに、注入効率の低下を招き、周波数特性がさらに劣化するという問題があった。

#### 【0017】

本発明は、上記した問題点を解決すべくなされたもので、ベース層幅が実質広がることによる周波数特性の劣化を低減することができる半導体装置及びその製造方法を提供することを目的とする。

#### 【0018】

##### 【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置の一形態は、半導体基板上に形成された第1導電型のコレクタ層と、  
前記コレクタ層の表面領域に形成された第2導電型のグラフトベース層と、  
前記グラフトベース層上に形成された第2導電型の第1のベース引き出し領域と、  
前記第1のベース引き出し領域の上面及び側面に形成された第2導電型の第2のベース引き出し領域と、  
前記コレクタ層上に形成された第2導電型のベース層と、  
前記ベース層の表面領域に形成された第1導電型のエミッタ層と、  
前記エミッタ層上に形成されたエミッタ引き出し領域とを具備している。

#### 【0019】

上記した本発明の形態によれば、ベース層幅が実質広がることによる周波数特性の劣化を低減することができる半導体装置を提供することができる。

#### 【0020】

##### 【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について詳細に説明する。

##### （第1の実施の形態）

図1に、本実施の形態のNPNバイポーラトランジスタを示す。N型シリコン基板101上に、シリコン層からなるN型コレクタ層102が形成されている。素子形成部以外の領域には、シリコン層をエッチングし酸化膜などの絶縁膜を埋

め込み、STI (Shallow Trench Isolation) プロセスによる素子分離領域 103 が形成されている。また、LOCOS (Local Oxidation of Silicon) プロセスによって形成してもよい。LOCOS プロセスの場合、素子形成部以外の領域には、酸化膜などの絶縁膜からなる素子分離領域を形成し、N 型コレクタ層上に形成された薄い絶縁膜は除去する。また、N 型コレクタ層 102 の表面領域には、P 型グラフトベース層 104 が形成されている。

#### 【0021】

また、N 型コレクタ層 102 上及び素子分離領域 103 上の一部に、ポリシリコンからなる第 1 のベース引き出し領域 105 が形成されており、第 1 のベース引き出し領域 105 上に、ポリシリコンからなる第 2 のベース引き出し領域 106 が形成されている。第 2 のベース引き出し領域 106 上及び N 型コレクタ層 102 上には、非選択的エピタキシャル成長法によって、SiGe を含有した P 型ベース層 107 が形成されている。このとき、Ge を添加せず、ポリシリコン層及びシリコン層からなる P 型ベース層を形成することも可能である。

#### 【0022】

N 型コレクタ層 102 上の P 型ベース層 107 の表面領域には、選択的に N 型エミッタ層 108 が形成されている。P 型ベース層 107 上には層間絶縁膜 109 が形成され、N 型エミッタ層 108 上には、ポリシリコンからなるエミッタ引き出し領域 110 が形成されている。エミッタ引き出し領域 110 と P 型ベース層 107 は、層間絶縁膜 109 によって、電氣的に絶縁されている。

#### 【0023】

また、エミッタ引き出し領域 110 及び第 2 のベース引き出し領域 106 上には、コンタクトホール用の開口部が設けられた層間絶縁膜 111 が形成され、この開口部に導電性材料を形成することによって、エミッタ電極 112 及びベース電極 113 が形成されている。

#### 【0024】

次に、図 2 乃至図 4 に、従来の技術の NPN バイポーラトランジスタの製造方法を示す。図 2 (a) に示すように、N 型シリコン基板 101 上に、N 型不純物

を添加しながら、シリコンをエピタキシャル成長させることによって、シリコン層からなるN型コレクタ層102を形成する。続いて、素子形成部以外の領域をエッチングし、酸化膜などの絶縁膜を埋め込むことによって、素子分離領域103を形成する。

#### 【0025】

次に、図2(b)に示すように、N型コレクタ層102上の一部に、酸化膜からなるダミー絶縁膜114を形成する。ダミー絶縁膜114は、酸化膜に限定されず、窒化膜、酸化膜と窒化膜の積層膜など特に限定されない。N型コレクタ層102、ダミー絶縁膜114及び素子分離領域103上に、ポリシリコン層115を形成する。

#### 【0026】

次に、図3(c)に示すように、RIE(Reactive Ion Etching)によってポリシリコン層115をエッチバックする。CMP(Chemical Mechanical Polishing)によってポリシリコン層115を研磨してもかまわない。

#### 【0027】

次に、図3(d)に示すように、ポリシリコン層115とダミー絶縁膜114にエッチングレート差を設けてポリシリコン層115をエッチングし、ダミー絶縁膜114の上面及び側面の一部を露出させて、ダミー絶縁膜114の凸形状を形成する。続いて、P型不純物をイオン注入してポリシリコン層115に第1のベース引き出し領域105を形成する。

#### 【0028】

次に、図4(e)に示すように、第1のベース引き出し領域105上及びダミー絶縁膜114上にポリシリコン層116を形成し、ダミー絶縁膜114の表面を露出させ、かつ第1のベース引き出し領域105の表面が露出しないよう、RIE(Reactive Ion Etching)によって、ポリシリコン層116をエッチバックする。CMP(Chemical Mechanical Polishing)によって、ポリシリコン層116を研磨してもかまわない。また、ダミー絶縁膜114の表面を露出させる工程において、ダミー絶縁膜

114の表面をエッチングまたは研磨によって削ってもかまわない。

#### 【0029】

次に、図4（f）に示すように、ウェットエッチングによって、ダミー絶縁膜114を除去し、N型コレクタ層102の表面を露出させる。N型コレクタ層102の表面を露出させる際、RIEによってエッチングすると、N型コレクタ層表面への衝撃が大きく、リーク電流などの原因となる表面欠陥等が生じやすい。したがって、ダミー絶縁膜114を用いてベース引き出し領域のパターンを形成し、ダミー絶縁膜114をウェットエッチングによって除去する工程では、表面欠陥が生じにくく、有効である。

#### 【0030】

次に、図5（g）に示すように、ポリシリコン層116上及びN型コレクタ層102上にポリシリコン層し、続いて、ポリシリコン層116及びN型コレクタ層102の表面が露出するようRIEによってエッチングして、第1のベース引き出し領域105の側面に、ポリシリコン層117を形成する。第1のベース引き出し領域105の上面及び側面に形成された、ポリシリコン層116及びポリシリコン層117によって、ノンドープ領域の第2のベース引き出し領域106が構成されている。なお、第1のベース引き出し領域105の側面にポリシリコン層117を形成する際、RIEによってN型コレクタ層102の表面を露出するようエッチングを行っているが、ポリシリコン層117は、一層分であり比較的薄いため、N型コレクタ層102の表面に生じるRIEによる欠陥は、修復可能な程度である。

#### 【0031】

次に、図5（h）に示すように、第2のベース引き出し領域106上及びN型コレクタ層102上に、P型不純物及びGeを添加しながら、非選択的エピタキシャル成長させることによって、SiGe層からなるP型ベース層107を形成する。また、Geを添加せず、ポリシリコン層及びシリコン層からなるP型ベース層を形成することも可能である。また、選択的エピタキシャル成長法によって、SiGe層またはシリコン層からなるP型ベース層107を形成することも可能である。

## 【0032】

また、P型ベース層107をエピタキシャル成長によって形成する場合、低温の熱処理を行うが、このとき、第1のベース引き出し領域105にイオン注入したP型不純物が、図5(h)に示すように、第1のベース引き出し領域105の下面に接するように形成されているN型コレクタ層102に拡散し、N型コレクタ層102の表面領域にP型グラフトベース層104が形成される。また、第1のベース引き出し領域105の上面及び側面に接するように形成されている、ノンドープ領域の第2のベース引き出し領域106にも、図5(h)に示すように、第1のベース引き出し領域105にイオン注入したP型不純物が拡散する。

## 【0033】

次に、図6(i)に示すように、P型ベース層107上に層間絶縁膜109を形成し、N型コレクタ層102上に形成されたP型ベース層107上の一部が露出するように、層間絶縁膜109をエッチングする。続いて、層間絶縁膜109上及び露出したP型ベース層107上にポリシリコン層を形成し、このポリシリコン層にN型不純物をイオン注入して、熱処理を行うことによって、ポリシリコンからなるエミッタ引き出し領域110を形成するとともに、P型ベース層107の表面領域の一部にN型エミッタ層108を形成する。

## 【0034】

次に、図6(j)に示すように、第2のベース引き出し領域106上及びエミッタ引き出し領域110上に層間絶縁膜111を形成する。第2のベース引き出し領域106の一部と、エミッタ引き出し領域110の一部が露出するような開口部を形成し、開口部に導電性材料を形成することによって、ベース引き出し領域106、107及びエミッタ引き出し領域110に接続されたベース電極113及びエミッタ電極112を形成する。

## 【0035】

図7に、図1のA-A'断面における不純物濃度を示す。P型ベース層の不純物濃度は、第1のベース引き出し領域の不純物濃度よりも低く、 $1 \times 10^{18} \text{ cm}^{-3}$ とし、第1のベース引き出し領域の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ とする。第2のベース引き出し領域は、下層の第1のベース引き出し領域、及び上層のP

型ベース層の両方からP型不純物が拡散して形成されており、第2のベース引き出し領域の不純物濃度プロファイルの少なくとも一部は、第1のベース引き出し領域の不純物濃度よりも小さい。また、第2のベース引き出し領域の不純物濃度プロファイルは、下層の第1のベース引き出し領域と、上層のP型ベース層の不純物濃度との、実質、中間程度の不純物濃度プロファイルとなっている。

#### 【0036】

本実施の形態によれば、P型ベース層を形成する際などの熱処理の前には、P型不純物がイオン注入された第1のベース引き出し領域の上面及び側面に、ノンドープ領域である第2のベース引き出し領域106が形成され、第1のベース引き出し領域の下面に、絶縁膜を介さずにN型コレクタ層102が形成されている。よって、P型ベース層を形成する際などの熱処理時には、第1のベース引き出し領域105から拡散するP型不純物は、主に、第2のベース引き出し領域及びN型コレクタ層へ拡散する。

#### 【0037】

このようにP型不純物を拡散させて、P型ベース層107及び第1のベース引き出し領域105とを導通するよう、第2のベース引き出し領域を第1のベース引き出し領域105とP型ベース層107の間に介在させるとともに、N型コレクタ層の表面領域に、P型グラフトベース層を形成する。このように形成することによって、P型不純物がP型ベース層107とN型コレクタ層の界面付近にまで飛び散ることを抑止することができる。したがって、ベース層幅が実質広がることを抑止することができ、周波数特性の劣化を低減することができる。

#### 【0038】

また、本実施の形態では、第1及び第2のベース引き出し領域を形成する際に、ダミー絶縁膜を用いてポリシリコンのパターンを形成し、ウェットエッチングによってダミー絶縁膜を除去することによって、前記ポリシリコンからなる第1及び第2のベース引き出し領域を形成しているため、エッチングによるN型コレクタ層表面への衝撃を低減することができ、リーク電流を抑止することができる。

#### 【0039】

また、さらに、P型ベース層を形成する際にGeを添加して形成すると、ヘテロ接合によるエネルギー障壁を緩和し、キャリア移動度を高めることができるため、さらに周波数の向上をはかることができ、特に有効である。

#### 【0040】

また、比較的低濃度でないN型コレクタ層を有する半導体装置では、P型不純物がP型ベース層とN型コレクタ層の界面付近に拡散したとしても、N型コレクタ層が比較的低濃度でないため、実質、P型オートドープ層が形成されないことになる。ここで、比較的低濃度とは、例えば、 $3 \times 10^{16} \text{ cm}^{-3}$ 程度である。したがって、P型ベース層とN型コレクタ層の界面付近に形成されるP型オートドープ層による周波数特性の劣化は、特に高耐圧が要求される比較的低濃度な不純物濃度のN型コレクタ層を有する半導体装置で顕著に発生し、問題となっている。従来、P型オートドープ層による周波数特性の劣化を抑止するため、N型コレクタ層の不純物濃度を比較的低濃度に形成できず、耐圧を向上することができないという問題があったが、本実施の形態によれば、比較的低濃度なN型コレクタ層であってもベース層幅が実質広がることを抑止することができるため、周波数特性の劣化を低減しつつ、耐圧を向上することができる。

#### 【0041】

また、図13に示すように、従来の技術のようなP型グラフトベース層が形成されていない場合には、N型コレクタ層との界面に、矢印に示すようなリーク電流が発生し、コレクターエミッタ間の耐圧が劣化するという問題があった。そこで、図8に示すように、P型グラフトベース層を形成することによって、リーク電流が発生しやすい領域を覆ってリーク電流を低減し、空乏層の巾を広げるとともに空乏層境界部分の曲率を緩和して、耐圧を向上させることができる。よって、ベース層幅が実質広がることを抑止して、周波数特性の劣化を低減しつつ、耐圧を向上することができる。

#### 【0042】

また、図14に示すように、ベース引き出し領域と、N型コレクタ層上に形成されたP型ベース層との接続寄生抵抗が大きいという問題があった。そこで、P型グラフトベース層を形成することによって、キャリアが接続抵抗の低いP型グ



ラフトベース層を流れるため、N型コレクタ層上のP型ベース層とベース引き出し領域との接続寄生抵抗を低減することができ、ノイズ特性を改善することができる。

#### 【0043】

また、P型ベース層を非選択的エピタキシャル成長法によって形成することによって、N型コレクタ層上のP型ベース層とベース引き出し領域との接続面積を拡大することができるため、さらなる接続寄生抵抗の低減が可能となり、ノイズ特性をさらに改善することができる。よって、ベース層幅が実質広がることを抑止して、周波数特性の劣化を低減しつつ、ノイズ特性を向上することができる。

#### 【0044】

##### 【発明の効果】

以上詳述したように、本発明によれば、ベース層幅が実質広がることによる周波数特性の劣化を低減することができる。

##### 【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置を示す要部断面図である。

【図2】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図3】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図4】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図5】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図6】 本発明の第1の実施の形態に係る半導体装置の製造方法の一工程を示す要部断面図である。

【図7】 本発明の第1の実施の形態に係り、図1に示した半導体装置のA-A'断面における不純物濃度を示す図である。

【図8】 本発明の第1の実施の形態に係る半導体装置の空乏層の広がりを示す

要部断面図である。

【図 9】 従来の半導体装置を示す要部断面図である。

【図 10】 従来の半導体装置の製造方法の一工程を示す要部断面図である。

【図 11】 従来の半導体装置の製造方法の一工程を示す要部断面図である。

【図 12】 従来の技術に係り、図 11 に示した半導体装置の B-B' 断面における不純物濃度を示す図である。

【図 13】 従来の技術の半導体装置の空乏層の広がりを示す要部断面図である。

。

【図 14】 従来の技術の半導体装置の接続寄生抵抗を示す要部断面図である。

【符号の説明】

101…N型シリコン基板

102…N型コレクタ層

103…素子分離領域

104…P型グラフトベース層

105…第1のベース引き出し領域

106…第2のベース引き出し領域

107…P型ベース層

108…N型エミッタ層

109, 111…層間絶縁膜

110…エミッタ引き出し領域

112…エミッタ電極

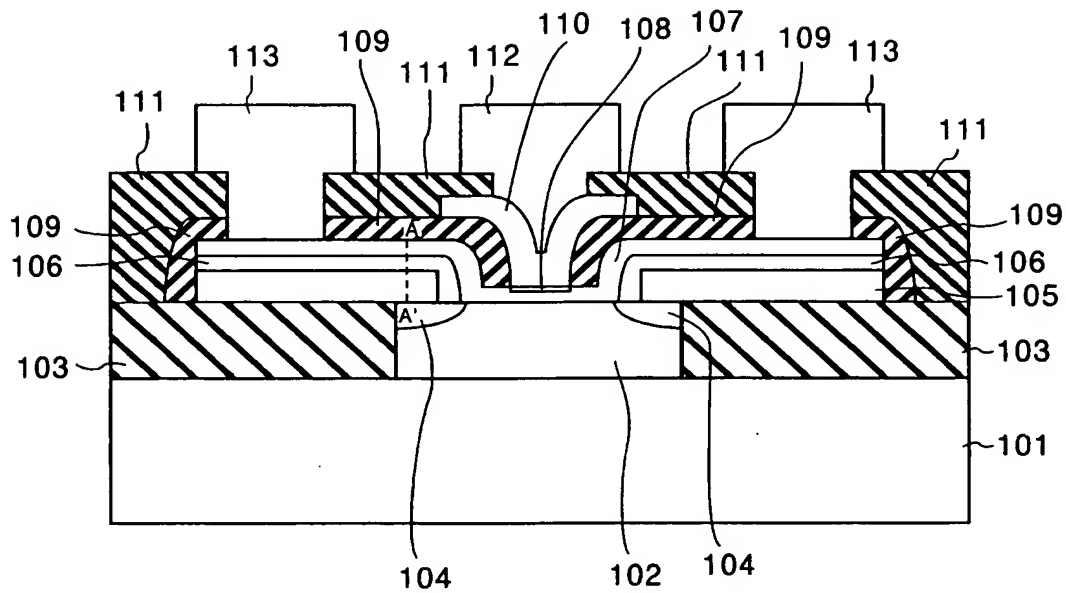
113…ベース電極

114…ダミー絶縁膜

115, 116, 117…ポリシリコン層

【書類名】 図面

【図 1】



101…N型シリコン基板

102…N型コレクタ層

103…素子分離領域

104…P型グラフトベース層

105…第1のベース引き出し領域

106…第2のベース引き出し領域

107…P型ベース層

108…N型エミッタ層

109…層間絶縁膜

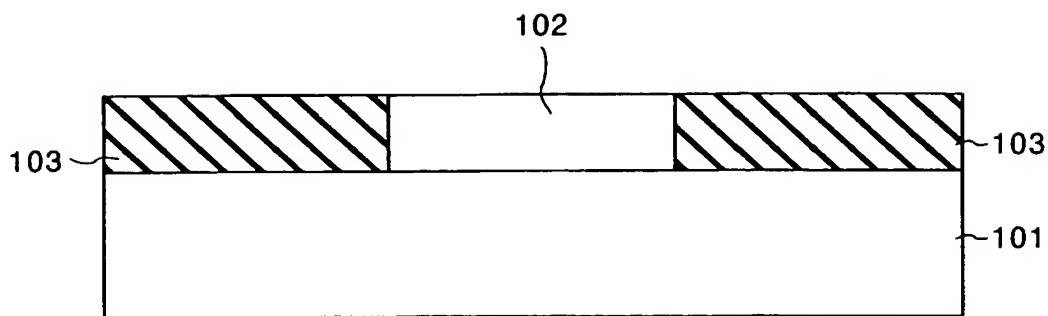
110…エミッタ引き出し領域

111…層間絶縁膜

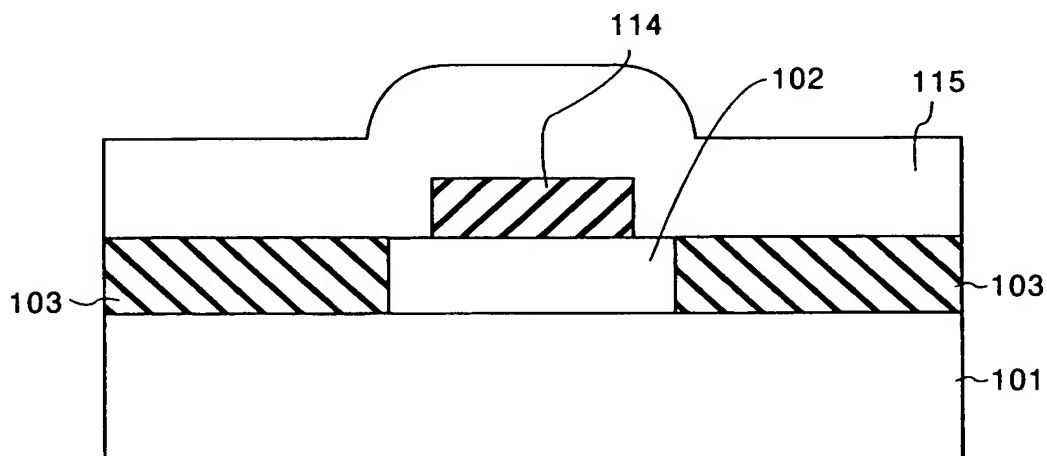
112…エミッタ電極

113…ベース電極

【図 2】

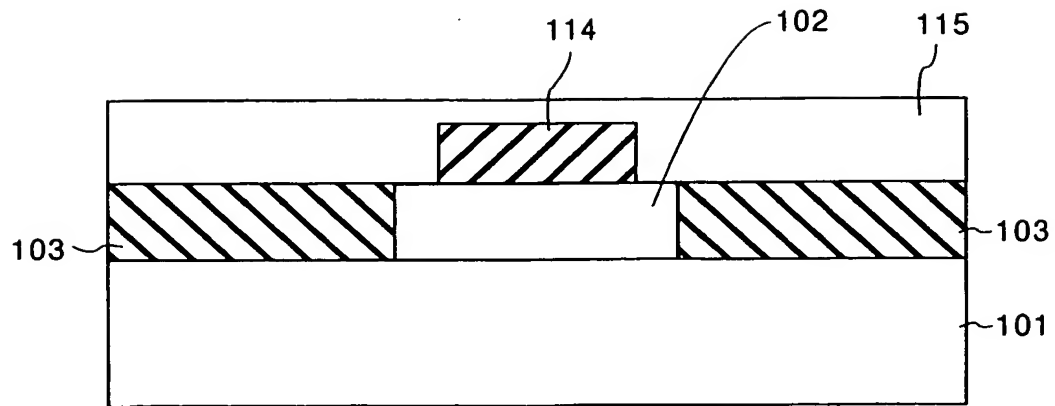


(a)

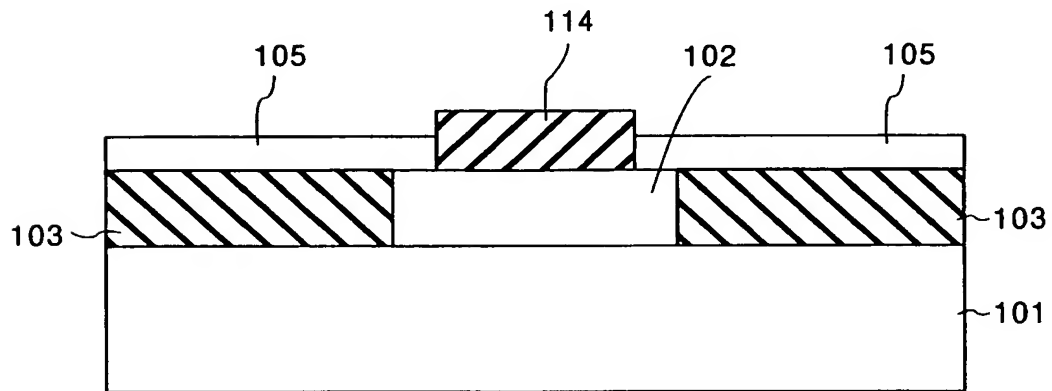


(b)

【図 3】

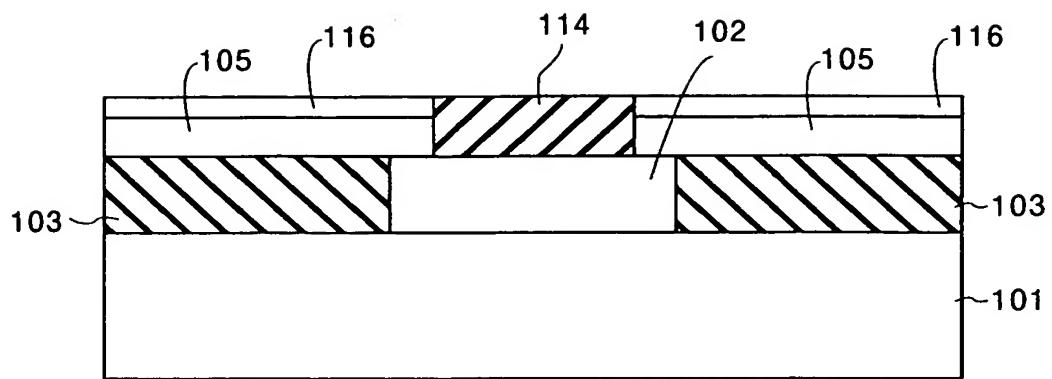


(c)

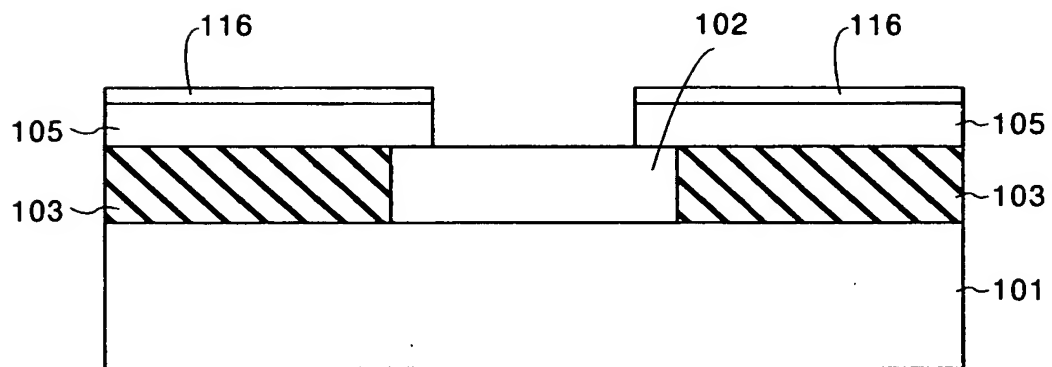


(d)

【図 4】

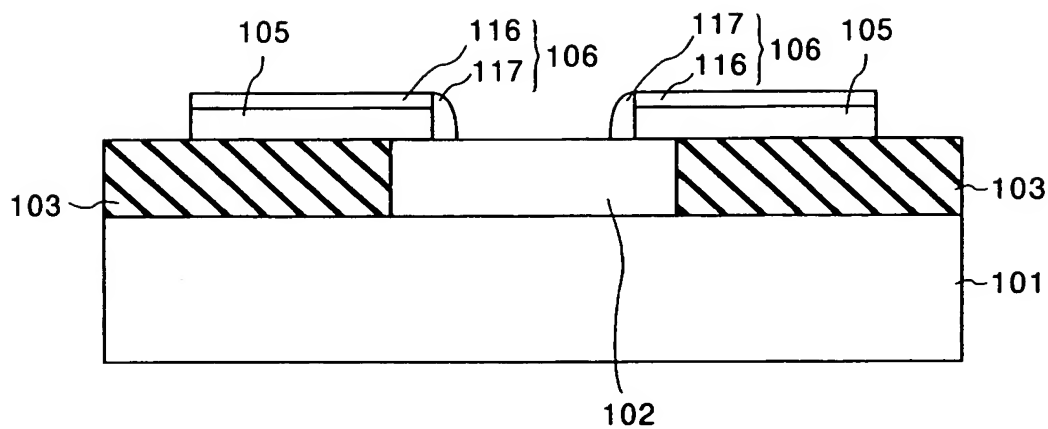


(e)

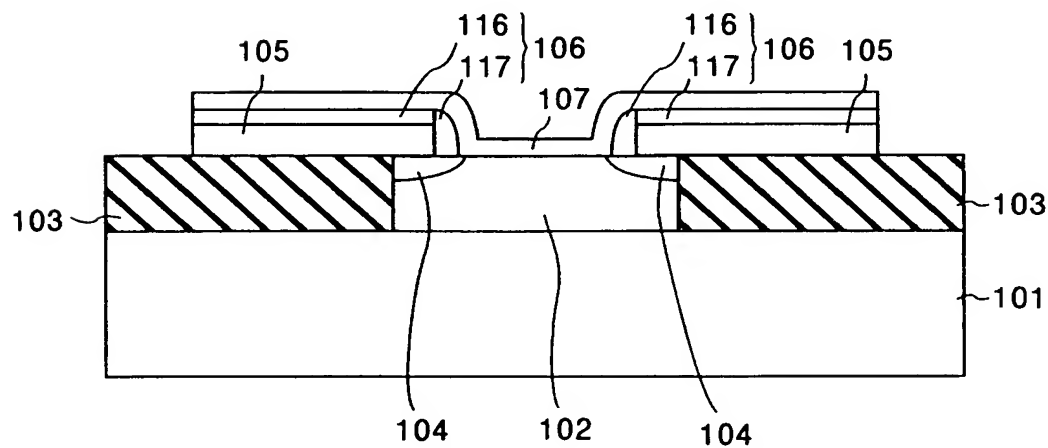


(f)

【図 5】

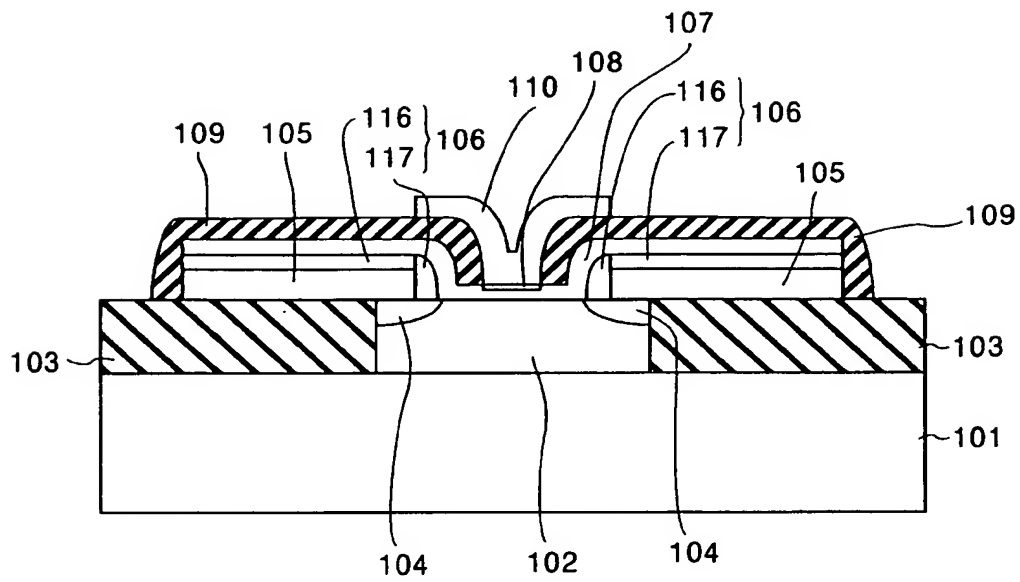


(g)

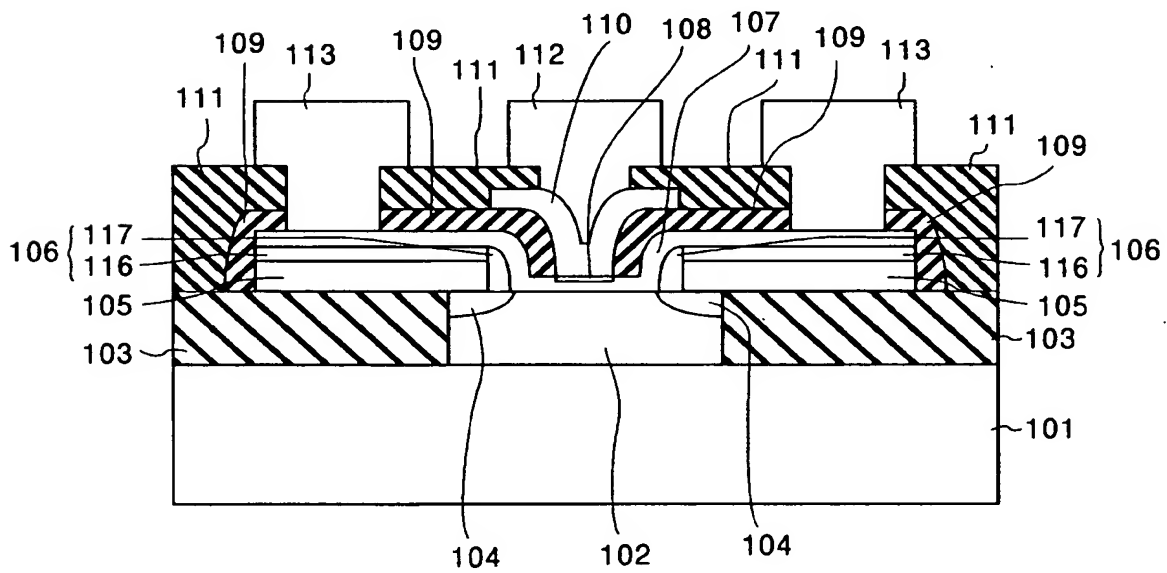


(h)

【図 6】



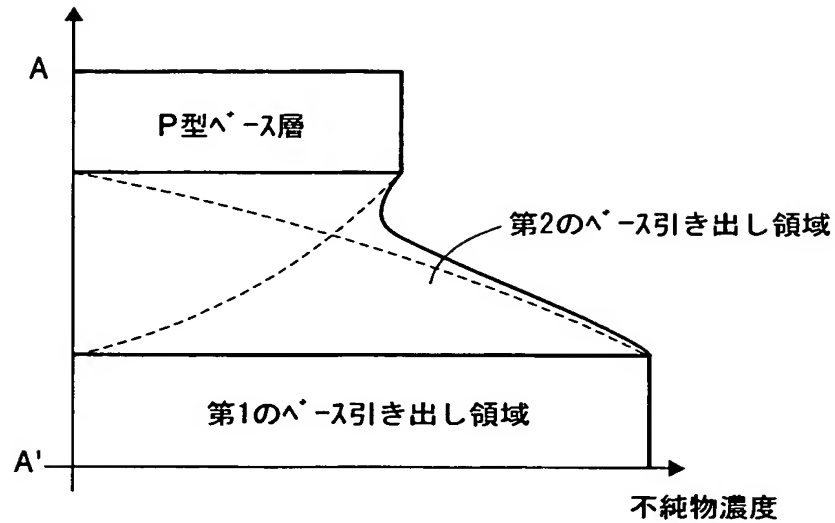
(i)



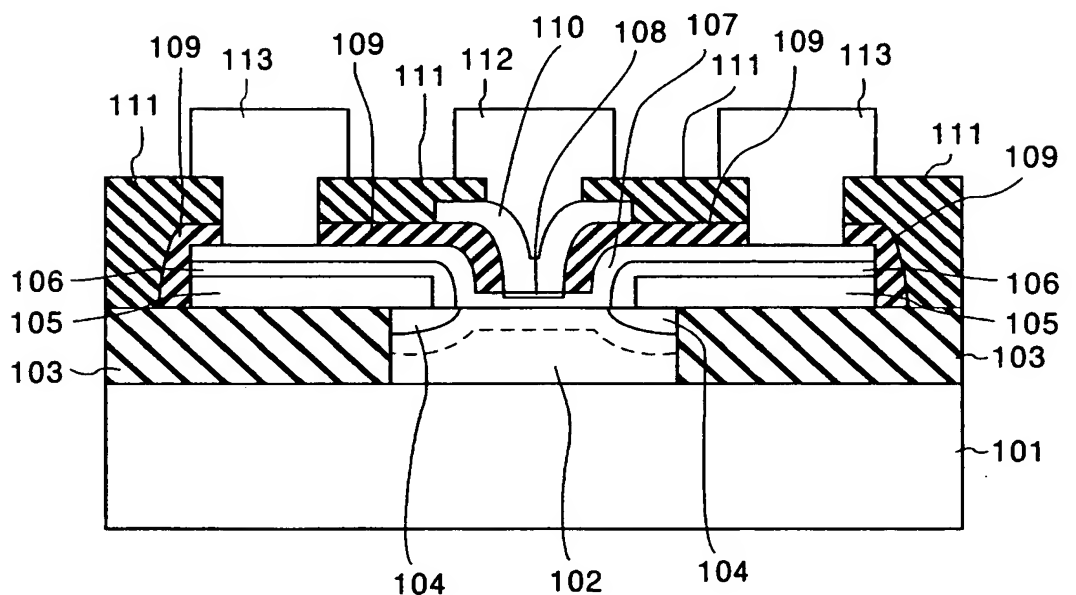
(j)



【図 7】



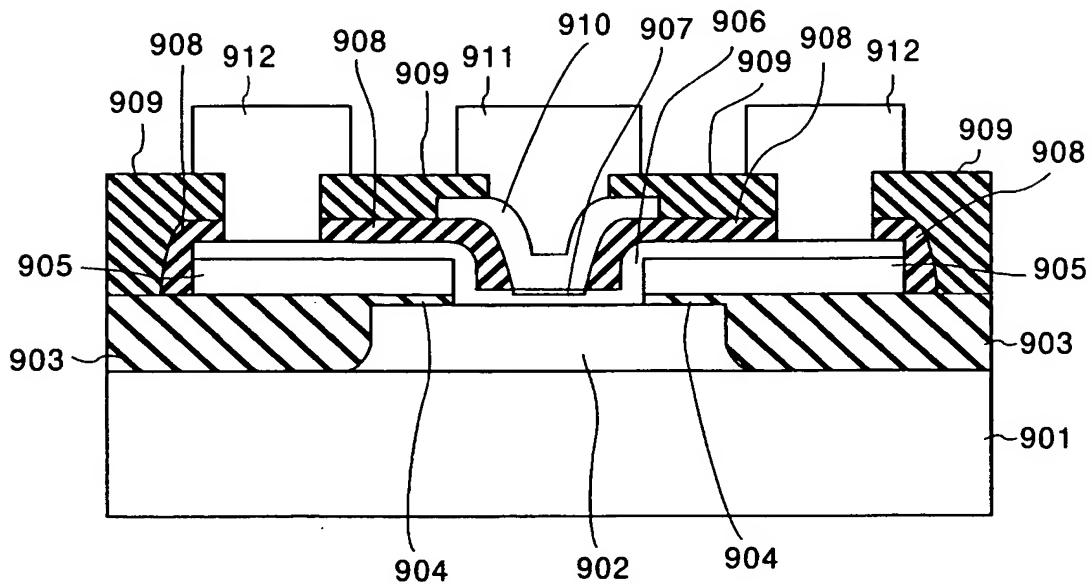
【図 8】



101…N型シリコン基板  
 102…N型コレクタ層  
 103…素子分離領域  
 104…P型グラフトベース層  
 105…第1のベース引き出し領域  
 106…第2のベース引き出し領域  
 107…P型ベース層

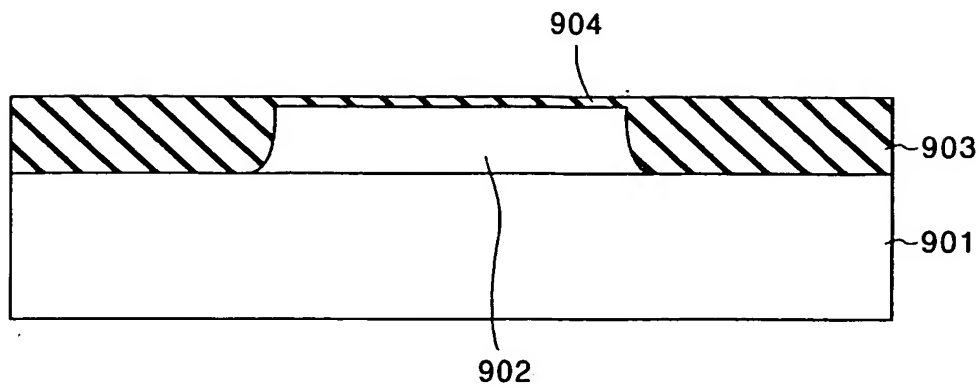
108…N型エミッタ層  
 109…層間絶縁膜  
 110…エミッタ引き出し領域  
 111…層間絶縁膜  
 112…エミッタ電極  
 113…ベース電極

【図 9】

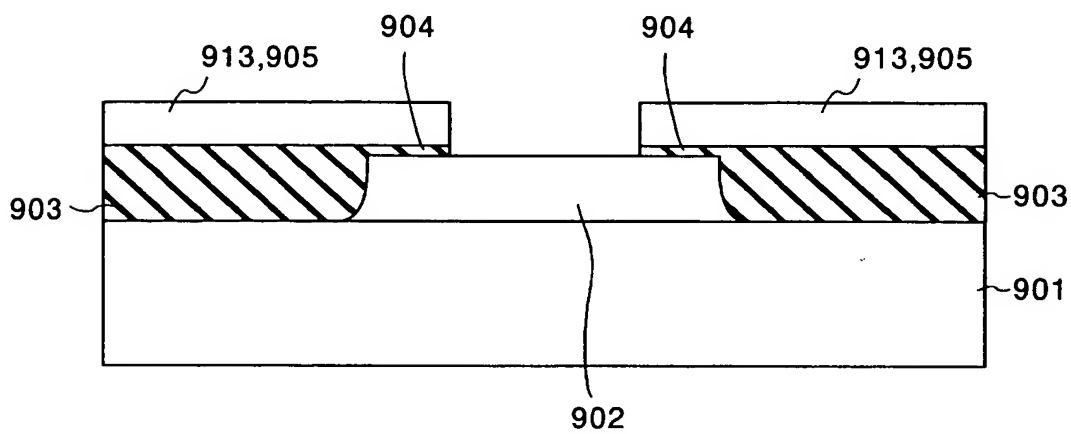


- |               |                |
|---------------|----------------|
| 901…N型シリコン基板  | 907…N型エミッタ層    |
| 902…N型コレクタ層   | 908…層間絶縁膜      |
| 903…素子分離領域    | 909…層間絶縁膜      |
| 904…酸化膜       | 910…エミッタ引き出し領域 |
| 905…ベース引き出し領域 | 911…エミッタ電極     |
| 906…P型ベース層    | 912…ベース電極      |

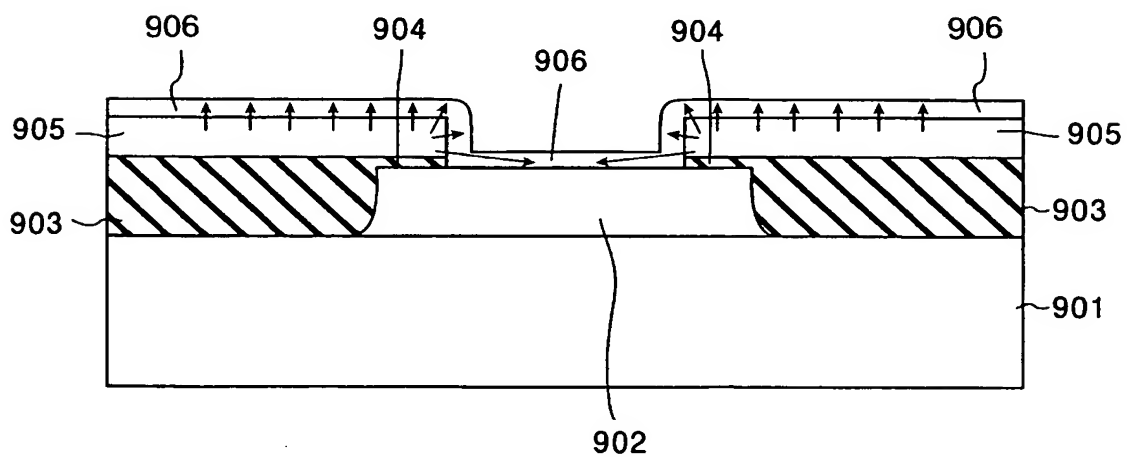
【図 10】



(a)



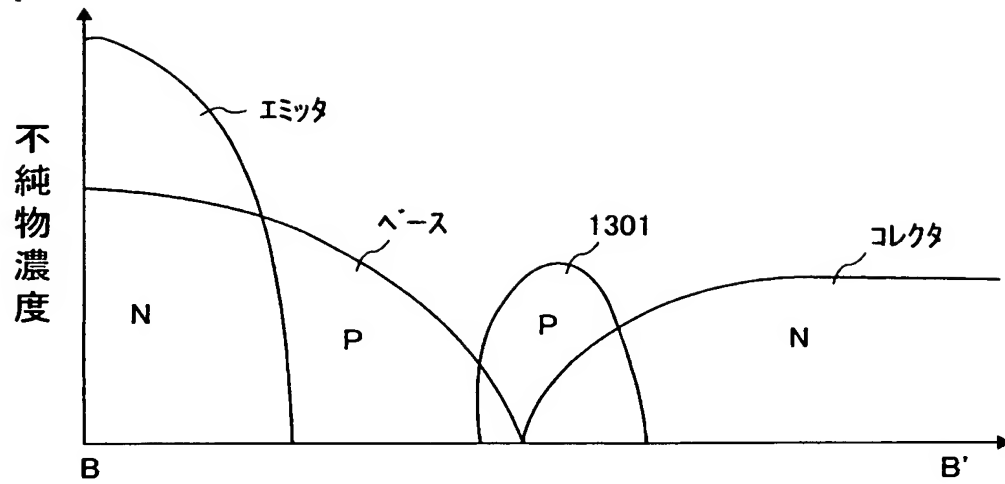
(b)



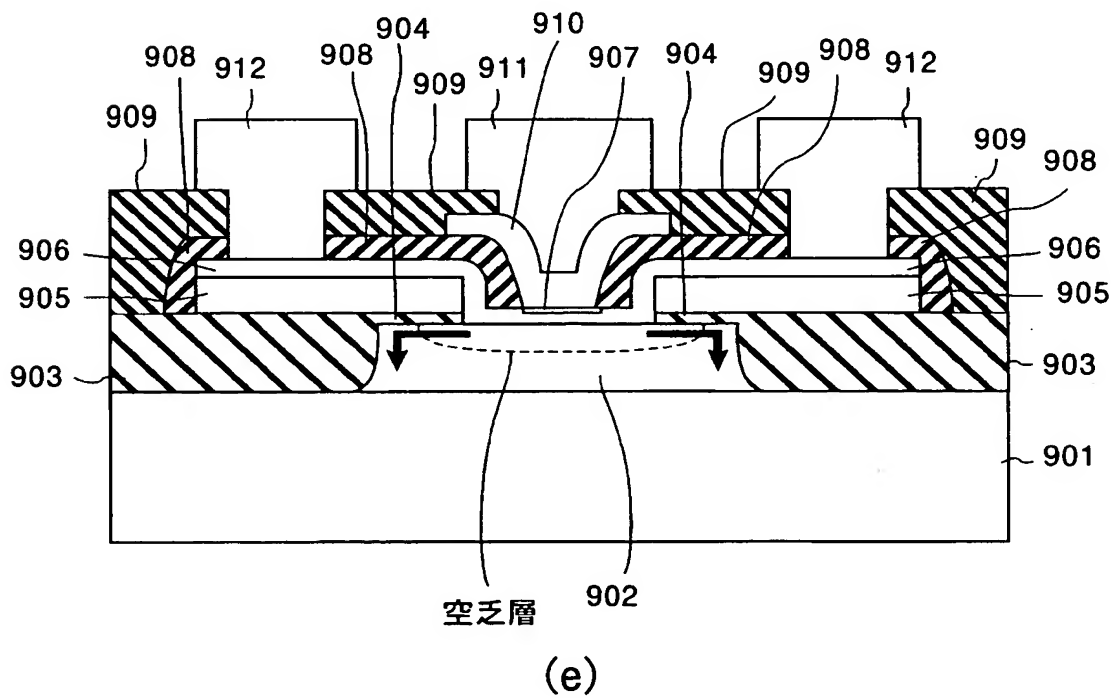
(c)



【図12】



【図13】



901…N型シリコン基板

902…N型コレクタ層

903…素子分離領域

904…酸化膜

905…ベース引き出し領域

906…P型ベース層

907…N型エミッタ層

908…層間絶縁膜

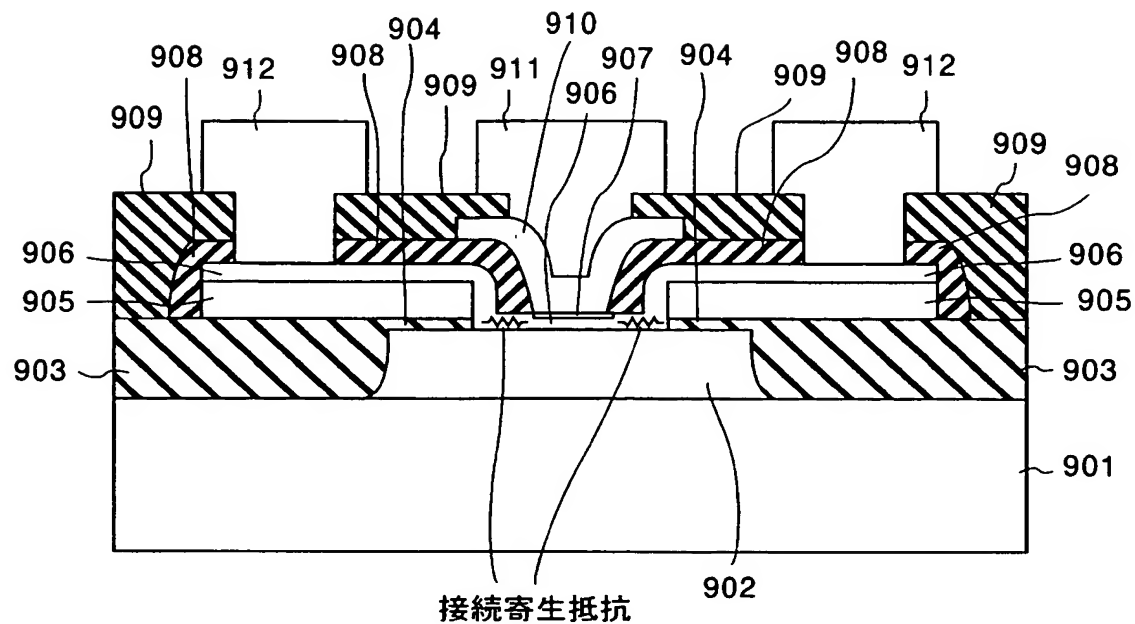
909…層間絶縁膜

910…エミッタ引き出し領域

911…エミッタ電極

912…ベース電極

【図14】



901…N型シリコン基板

902…N型コレクタ層

903…素子分離領域

904…酸化膜

905…ベース引き出し領域

906…P型ベース層

907…N型エミッタ層

908…層間絶縁膜

909…層間絶縁膜

910…エミッタ引き出し領域

911…エミッタ電極

912…ベース電極

【書類名】 要約書

【要約】

【課題】 ベース層幅が実質広がることによる周波数特性の劣化を低減することができる半導体装置を提供する。

【解決手段】 半導体基板 101 上に形成された第 1 導電型のコレクタ層 102 と、前記コレクタ層 102 の表面領域に形成された第 2 導電型のグラフトベース層 104 と、前記グラフトベース層 104 上に形成された第 2 導電型の第 1 のベース引き出し領域 105 と、前記第 1 のベース引き出し領域 105 の上面及び側面に形成された第 2 導電型の第 2 のベース引き出し領域 106 と、前記コレクタ層 102 上に形成された第 2 導電型のベース層 107 と、前記ベース層 107 の表面領域に形成された第 1 導電型のエミッタ層 108 と、前記エミッタ層 108 上に形成されたエミッタ引き出し領域 110 とを具備した半導体装置である。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 7 7 2 0
受付番号	5 0 3 0 0 5 4 0 1 8 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 2 日

<認定情報・付加情報>

【提出日】	平成15年 4月 1日
-------	-------------

次頁無



特願 2 0 0 3 - 0 9 7 7 2 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日	2 0 0 1 年 7 月 2 日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目 1 番 1 号
氏 名	株式会社東芝